



(19)

(11) Publication number: **06252175 A**

Generated Document.

PATENT ABSTRACTS OF JAPAN(21) Application number: **05035493**(51) Intl. Cl.: **H01L 21/338 H01L 29/812**(22) Application date: **24.02.93**

(30) Priority:

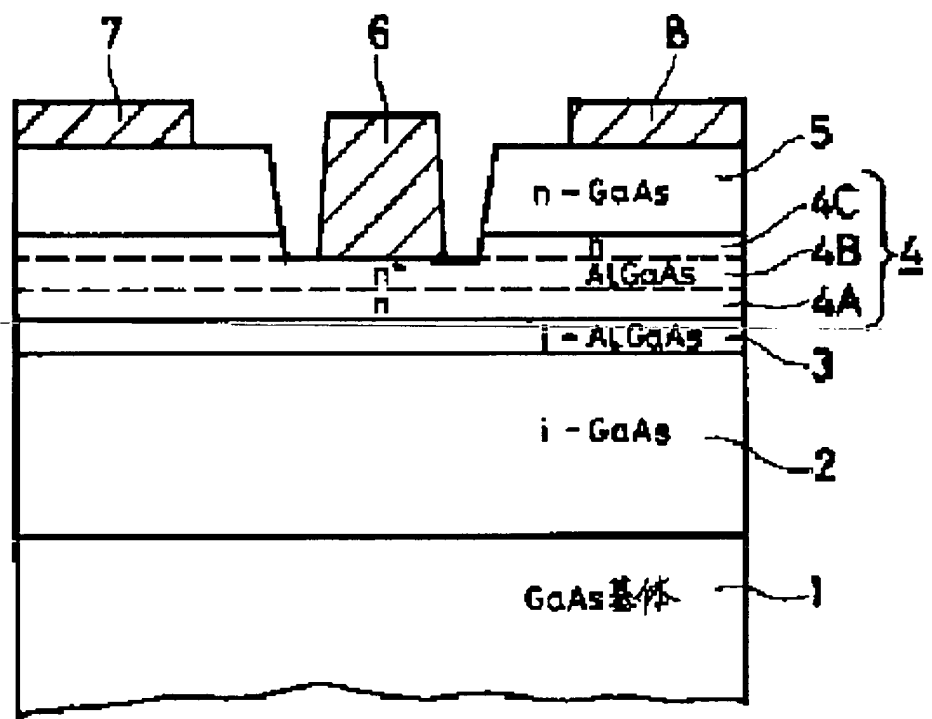
(43) Date of application publication: **09.09.94**~~(84) Designated contracting states:~~(71) Applicant: **SONY CORP**(72) Inventor: **HIRAMATSU SHIGERU**~~(74) Representative:~~**(54) TRANSISTOR HAVING
HIGH ELECTRON
MOBILITY**

(57) Abstract:

PURPOSE: To improve the Gm of a transistor having a high electron mobility, by reducing its source resistance concurrently with the improvement of its gate withstanding voltage.

CONSTITUTION: In a transistor having a high electron mobility wherein at least an undoped channel layer 2 and an electron feeding layer 4 are provided on a compound semiconductor substrate 1, the electron feeding layer 4 is so formed that the concentration distribution of high impurity concentration-low impurity concentration-high impurity concentration is given in its thickness direction in succession and a gate electrode 6 is provided in its low impurity concentration part.

COPYRIGHT: (C)1994,JPO&Japio



(19)【発行国】日本国特許庁(JP)
 (12)【公報種別】公開特許公報(A)
 (11)【公開番号】特開平 6-252175
 (43)【公開日】平成 6 年(1994) 9 月 9 日
 (54)【発明の名称】高電子移動度トランジスタ
 (51)【国際特許分類第 5 版】

H01L 21/338

29/812

【F I】

H01L 29/80

H 7376-4M

【審査請求】未請求

【請求項の数】1

【出願形態】OL

【全页数】4

(21)【出願番号】特願平 5-35493

(22)【出願日】平成 5 年(1993) 2 月 24 日

(71)【出願人】

【識別番号】000002185

【氏名又は名称】ソニー株式会社

【住所又は居所】東京都品川区北品川 6 丁目 7 番 3 5 号

(72)【発明者】

【氏名】平松 茂

【住所又は居所】東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社内

(74)【代理人】

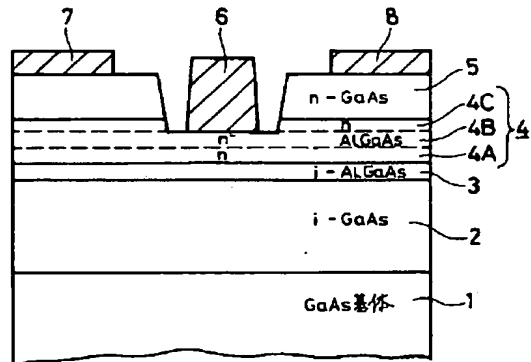
【弁理士】

【氏名又は名称】松隈 秀盛

(57)【要約】

【目的】 ゲート耐圧の改善をはかり、しかもソース抵抗の低減化をはかって G_m の改善をはかる。

【構成】 化合物半導体基体 1 上に、少なくともアンドープのチャネル層 2 と電子供給層 4 とを有する高電子移動度トランジスタにおいて、電子供給層 4 が、厚さ方向に順次高不純物濃度—低不純物濃度—高不純物濃度の濃度分布を有する構成とし、電子供給層 4 の低不純物濃度部にゲート電極 6 が設けられた構成とする。



【特許請求の範囲】

【請求項 1】 化合物半導体基体上に、少なくともアンドープのチャネル層と電子供給層とを有する高電子移動度

トランジスタにおいて、上記電子供給層が、厚さ方向に順次高不純物濃度—低不純物濃度—高不純物濃度の濃度分布を有し、上記電子供給層の上記低不純物濃度部にゲート電極が設けられたことを特徴とする高電子移動度ト

ランジスタ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、高電子移動度トランジスタ（以下HEMTという）に係わる。

【0002】

【従来の技術】従来のHEMTは、例えば図4にその一例の略線的断面図を示すように、例えばGaAs単結晶基体1上に、アンドープGaAsのチャンネル層2、アンドープAlGaAsのスペーサ層3、n型AlGaAsの電子供給層4、キャップ層5が順次エピタキシャル成長され、電子供給層4に対してショットー接合を形成するショットキー金属よりなるゲート電極6を被着し、これを挟んでその両側においてキャップ層5にソース及びドレイン各電極7及び8をオーミックコンタクトして成り、チャンネル層2の電子供給層4側の界面に2次元電子ガス層によるチャンネルが形成されるようになされる。

【0003】HEMTにおいて、その特性を決める重要なパラメータの1つにG_mがある。このG_mを高めるには、電子供給層4の不純物濃度を高くすることが必要である。

【0004】ところがこのように電子供給層4の不純物濃度を高めると、ゲート耐圧の低下を来す。

【0005】そこで、このような不都合を回避するものとして、この電子供給層の表面側の不純物濃度を低めた構造のHEMTの提案もなされている（特開平3-256337号、National Technical Report Vol.36 No.4 Aug, 1990、大石芳郎；2層（N/N'）AlGaAs構造をもつ低雑音HEMT電子情報通信学会春季全国大会C-104（1989）参照）

【0006】しかしながら、このように電子供給層の表面側を低不純物濃度にすると、図5に、図4で示したHEMTの要部の断面図とゲート部よりソース側におけるこれに対応する厚さ方向のコンダクションバンドモデル図を示し、その電流通路を矢印をもって模式的に示すように、キャップ層5から電子供給層4及びチャンネル層3

間のヘテロ接合のポテンシャル障壁を横切って2次元電子ガスのチャンネルに至るトンネル電流（代表的に矢印aをもって示す）が減少することからソース抵抗R_sを増加させることになり、結果的にG_mの低下を来す。

【0007】すなわち、図3A及びBに、図4で説明した比較的高い様な不純物濃度による電子供給層を有するHEMTと、表面側において低不純物濃度とした電子供給層を有するHEMTにおける各キャップ層-電子供給層-チャンネル層によるヘテロ接合部の伝導帯E_cのバンドモデルを示すように、表面側において低不純物濃度とした電子供給層を有するHEMTにおいては、その電子供給層で必要量のキャリア数を得るにはその厚さが大となること及び表面側において低不純物濃度部が存在していることから、そのキャップ層側のポテンシャル障壁が低不純物濃度を設けない場合に比して厚くなることから矢印をもって模式的に示すトンネル電流は減少する。

【0008】なお、図3においては、電子供給層の不純物のチャンネルへの影響を回避するために設けられるスペーサ層3については、その厚さがきわめて小さくポテンシャルの説明において実質的に影響がないことから、これを省略して示している。

【0009】

【発明が解決しようとする課題】本発明は、ゲート耐圧の改善をはかり、しかもソース抵抗の低減化をはかってG_mの改善をはかることのできるHEMTを提供するものである。

【0010】

【課題を解決するための手段】本発明は、図1にその一例の略線的断面図を示すように、化合物半導体基体1上に、少なくともアンドープのチャンネル層2と電子供給層4とを有する高電子移動度トランジスタにおいて、電子供給層4が、厚さ方向に順次高不純物濃度-低不純物濃度-高不純物濃度の濃度分布を有する構成とし、電子供給層4の低不純物濃度部にゲート電極6が設けられた構成とする。

【0011】

【作用】上述の本発明によれば、電子供給層4のゲート電極6が設けられる部分においては、低不純物濃度部が

存在することにより、電界の緩和がはかられてゲート耐圧の向上がはかれるものであるが、この電子供給層4の表面は高不純物濃度とされていることにより、ソース及びチャネル間には図5で説明したトンネル電流が生じ易くなり、これによりソース抵抗の減少がはかれ、 G_m の改善がはかれる。

【0012】

【実施例】本発明の一例を図1を参照して詳細に説明する。

【0013】この例では $AlGaAs/GaAs$ 系HEMTとした場合で、この例においても図4で説明したと同様に、例えば半絶縁性の $GaAs$ 単結晶基体1上に、アンドープ $GaAs$ のチャネル層2、アンドープの $AlGaAs$ スペーサ層3、 n 型 $AlGaAs$ の電子供給層4、 n 型 $GaAs$ キャップ層5を順次エピタキシャル成長する。

【0014】本発明においては、この電子供給層4を、その厚さ方向に関して、順次高不純物濃度—低不純物濃度—高不純物濃度の濃度分布を有する構成とする。図示の例では、下層の高不純物濃度層4Aと、低不純物濃度層4Bと、上層の高不純物濃度層4Cとを順次積層形成した場合である。

【0015】ここに、下層の高不純物濃度層4Aは例えば厚さ20nmの $3 \times 10^{18} \text{atoms/cm}^3$ の不純物濃度とし、低不純物濃度層4Bは例えば厚さ35nmの $1 \times 10^{18} \text{atoms/cm}^3$ の不純物濃度とし、上層の高不純物濃度層4Aは例えば厚さ10nmの $4 \times 10^{18} \text{atoms/cm}^3$ の不純物濃度とする。

【0016】これら、チャネル層2、スペーサ層3、電子供給層4（すなわち下層の高不純物濃度層4A、低不純物濃度層4B、上層の高不純物濃度層4C）、キャップ層5はMOCVD (Metal Organic Chemical Vapor Deposition)によって順次連続エピタキシーする。

【0017】そして、ゲート電極形成部においてキャップ層5と、これの下層の電子供給層4の上層の高不純物濃度層4Cとを化学的エッチングあるいはドライエッチング等によって除去して電子供給層4の低不純物濃度層4Bを外部に露呈し、此处にショットキーメタルによるゲート電極6を形成する。

【0018】一方、このゲート電極6を挟んでその両側のキャップ層5上にオーミック電極によるソース及びドレイン各電極7及び8を形成する。

【0019】図3Cにこの本発明によるHEMTのキャップ層5—電子供給層4—チャネル層によるヘテロ接合部の伝導帯 E_c のバンドモデルを示す。この図から分かるように、この場合、電子供給層4の各接合の形成側においては高不純物濃度とされていることによって各接合の障壁の厚さは小となる。したがってソース電極7からのキャップ層5—電子供給層4—チャネル層3間にトンネル電流が効率良く生じ、これによってソース抵抗の低減化をはかることができる。

【0020】なお、上述した例では、電子供給層4の不純物濃度分布を、それぞれ不純物濃度の異なる層を積層したすなわち濃度分布が階段的に変化する分布とした場合であるが、電子供給層4のエピタキシャル成長中に漸次供給不純物の量を変化させることによって高不純物濃度—低不純物濃度—高不純物濃度の濃度変化が漸次生じるようにすることもできる。

【0021】また、上述の例では、 $AlGaAs/GaAs$ 系のHEMTとした場合の一例であるが、他の各種HEMTに本発明を適用することができる。

【0022】図2に、 $AlInAs/GaInAs$ 系のHEMTを構成した場合の一例の略線の断面図を示す。

【0023】この例では、例えば半絶縁性の InP 単結晶基体1上に、アンドープ $InAlAs$ のパッファ層9、アンドープの $InGaAs$ チャネル層2、アンドープの $InAlAs$ スペーサ層3、 n 型 $InAlAs$ の電子供給層4、 n 型 $InGaAs$ キャップ層5を順次エピタキシャル成長する。

【0024】そして、この場合においても、この電子供給層4を、その厚さ方向に関して、順次高不純物濃度—低不純物濃度—高不純物濃度の濃度分布を有する構成とする。この例においても下層の高不純物濃度層4Aと、低不純物濃度層4Bと、上層の高不純物濃度層4Cとを順次積層形成した場合である。

【0025】ここに、下層の高不純物濃度層4Aは例えば厚さ20nmの $3 \times 10^{18} \text{atoms/cm}^3$ の不純物濃度とし、低不純物濃度層4Bは例えば厚さ35nmの $1 \times 10^{18} \text{atoms/cm}^3$ の不純物濃度とし、上層の高不純物濃度層4Cは例えば厚さ10nmの $4 \times 10^{18} \text{atoms/cm}^3$ の不純物濃度とする。

10^{18} atoms/cm³の不純物濃度とし、上層の高不純物濃度層 4 Aは例えば厚さ 10 nmの 4×10^{18} atoms/cm³の不純物濃度とする。

【0026】これら、バッファ層 9、チャネル層 2、スペーサ層 3、電子供給層 4すなわち下層の高不純物濃度層 4 A、低不純物濃度層 4 B、上層の高不純物濃度層 4 C、キャップ層 5は例えばMOCVDによって順次連続エピタキシーする。

【0027】そして、この場合においても、ゲート電極形成部においてキャップ層 5と、これの下層の電子供給層 4の上層高不純物濃度層 4 Cとを化学的エッチングあるいはドライエッチング等によって除去して電子供給層 4の低不純物濃度層 4 Bを外露に露呈し、此処にショットキーメタルによるゲート電極 6を形成する。

【0028】一方、このゲート電極 6を挟んでその両側のキャップ層 5上にオーミック電極によるソース及びドレイン各電極 7及び 8を形成する。

【0029】なお、本発明は上述した例に限らず種々の構成によるHEMTに適用できる。

【0030】

【発明の効果】上述の本発明によれば、電子供給層 4のゲート電極 6が設けられる部分においては、低不純物濃度部を存在させたことにより、ゲート耐圧の向上がはかれるものであるが、この電子供給層 4の表面は高不純物濃度とされていることにより、ソース及びチャネル間には図 5で説明したトンネル電流が生じ易く、したがって、ソース抵抗の減少がはかれ、Gmの改善をはかることができるものであり、実用上大きな利益を有するものである。

【図面の簡単な説明】

【図 1】本発明による高電子移動度トランジスタの一例の略線的断面図である。

【図 2】本発明による高電子移動度トランジスタの他の一例の略線的断面図である。

【図 3】従来及び本発明の高電子移動度トランジスタの説明に供するバンドモデル図である。

【図 4】従来の高電子移動度トランジスタの略線的断面図である。

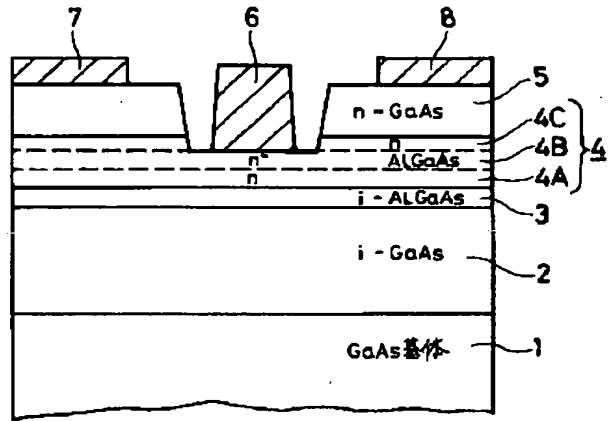
【図 5】高電子移動度トランジスタの電流通路の模式図

である。

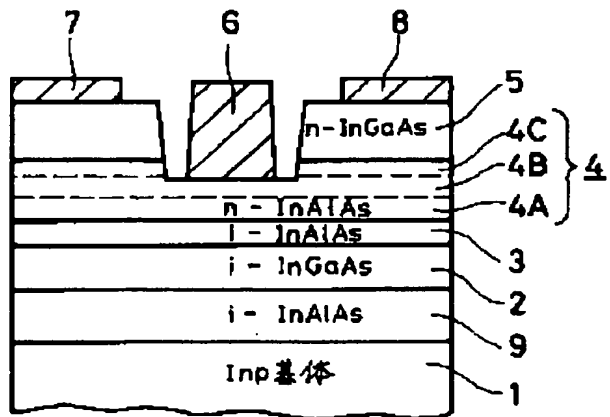
【符号の説明】

- 1 基体
- 2 チャネル層
- 4 電子供給層
- 4 A 下層高濃度不純物層
- 4 B 低濃度不純物層
- 4 C 上層高濃度不純物層

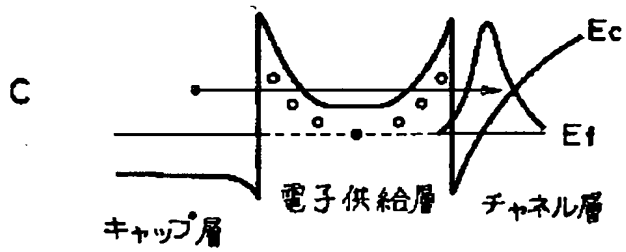
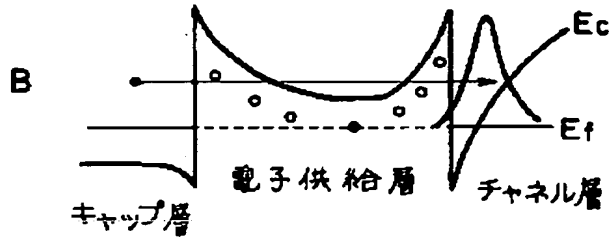
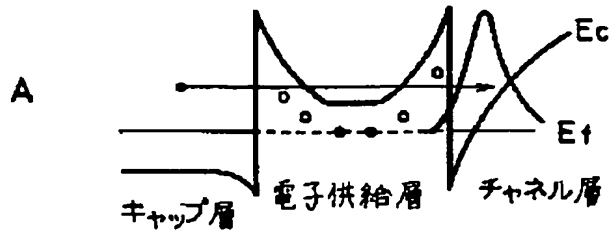
【図 1】



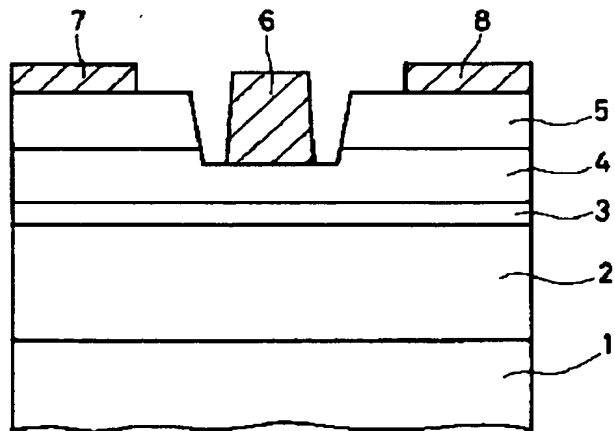
【図 2】



【図3】



【図4】



【図5】

